

**BEST AVAILABLE COPY**  
**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 2000-294550

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

H01L 21/316  
C30B 29/40  
H01L 21/31  
H01L 21/318  
H01L 29/78

(21)Application number : 11-097831

(71)Applicant : TOKYO ELECTRON LTD

(22)Date of filing : 05.04.1999

(72)Inventor : MURAKAWA EMI

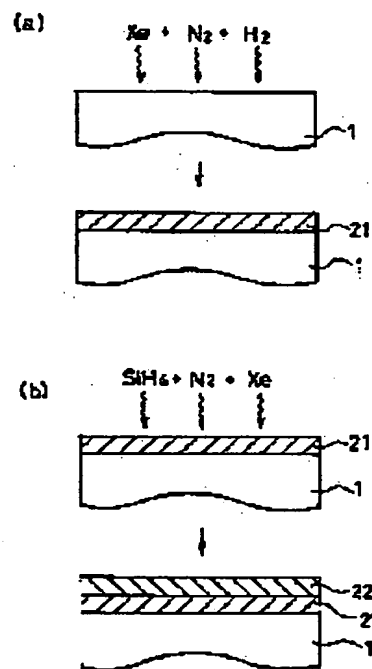
HONGO TOSHIAKI  
KAWAKAMI SATOSHI  
YUASA MITSUHIRO

**(54) MANUFACTURE OF SEMICONDUCTOR AND MANUFACTURING APPARATUS OF SEMICONDUCTOR**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a method and apparatus for manufacturing a semiconductor for smoothly operating film quality control on a boundary face between a silicon substrate and an SiN film, and for forming the SiN film with high quality in a short time.

**SOLUTION:** A wafer made of silicon as main components is irradiated with microwaves via a planar antenna member RLSA 60, having plural slits under a treating gas atmosphere so that plasma containing oxygen, or nitride, or oxygen and nitride can be formed, and oxidation, or nitriding, or oxidation/ nitriding is carried out directly to the surface of the wafer by using this plasma, and an insulating film 21 which is 1 nm or less in film thickness converted equivalent to film thickness of an oxide film.



**LEGAL STATUS**

[Date of request for examination]

04.04.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

---

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

[Claim(s)]

[Claim 1] The semi-conductor manufacture approach characterized by to form the plasma which contains ~~oxygen, nitrogen or oxygen, and nitrogen by irradiating microwave under a raw gas ambient atmosphere~~ through the flat antenna member which has two or more slits in the processed base which uses silicon as a principal component, to perform oxidation, nitriding, or acid nitriding to said processed base front face directly, and to form an insulator layer 1nm or less in it by oxide-film equivalent conversion thickness using this plasma.

[Claim 2] It is the semi-conductor manufacture approach according to claim 1, and said raw gas is N<sub>2</sub>. Or N<sub>2</sub> O, NO, or NH<sub>3</sub> The semi-conductor manufacture approach characterized by containing.

[Claim 3] By irradiating microwave under a raw gas ambient atmosphere through the flat antenna member which has two or more slits in the processed base which uses silicon as a principal component, oxygen, Or the process which forms the plasma containing nitrogen or oxygen, and nitrogen, performs oxidation, nitriding, or acid nitriding to said processed base front face directly, and forms the 1st insulator layer in it using this plasma, The semi-conductor manufacture approach characterized by providing the process which forms the 2nd insulator layer on said 1st insulator layer.

[Claim 4] The semi-conductor manufacture approach characterized by being the semi-conductor manufacture approach according to claim 3, and being the process which forms the insulating layer which the process which forms said 2nd insulator layer becomes from silicon nitride.

[Claim 5] The semi-conductor manufacture approach characterized by being the semi-conductor manufacture approach according to claim 3 or 4, and the process which forms said 2nd insulator layer being a process performed by the CVD method.

[Claim 6] The semi-conductor manufacture approach characterized by being the semi-conductor manufacture approach according to claim 3 or 4, and the process which forms said 2nd insulator layer being a process performed by plasma exposure.

[Claim 7] The process which is the semi-conductor manufacture approach according to claim 6, and forms said 2nd insulator layer is N<sub>2</sub>. Or NH<sub>3</sub> And the semi-conductor manufacture approach characterized by being the process which supplies the plasma containing a mono silane, a dichloro silane, or trichlorosilan.

[Claim 8] The semi-conductor manufacture approach which is the semi-conductor manufacture approach according to claim 6, and is characterized by performing said plasma exposure through the flat antenna member which has two or more slits.

[Claim 9] They are the semiconductor fabrication machines and equipment for enforcing the semi-conductor manufacture approach according to claim 1. A microwave power source, The equipment to which the microwave concerned is led, and the flat antenna member which has two or more slits, The temperature up device in which the temperature of a processed base is held more than 400-degreeC, and the gas supply device in which raw gas is led to a reaction chamber, Semiconductor fabrication machines and equipment characterized by providing the process chamber beyond one which has the evacuation device which decompresses a reaction chamber to 1 or less Torr, or it, and the conveyance system which carries out vacuum conveyance of the processed base.

[Claim 10] Semiconductor fabrication machines and equipment with which said process chamber is characterized by being arranged two or more than it so that it may be semiconductor fabrication machines and equipment according to claim 9 and gate dielectric film can be formed in juxtaposition.

[Claim 11] Semiconductor fabrication machines and equipment characterized by providing a CVD chamber which is semiconductor fabrication machines and equipment according to claim 9, and is different from said process chamber, and a vacuum conveyance system, and forming SiN in direct acid nitriding by CVD succeedingly.

---

[Translation done.]

---

## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semi-conductor, and relates to a detail further at the gate-dielectric-film formation approach in an MIS mold semiconductor device.

[0002]

[Description of the Prior Art] Recently, very thin gate dielectric film about 4nm or less is demanded with detailed-izing of an MIS mold semiconductor device. Conventionally, the silicon oxide (SiO<sub>2</sub> film) obtained by direct oxidation of a silicon substrate, using about C 850-degree C-1000-degree furnace [ heating-at-high-temperature ] as a gate-dielectric-film ingredient has been used industrially.

[0003] However, SiO<sub>2</sub> If the film is made thin to 4nm or less, the leakage current (gate leakage current) which flows this gate dielectric film will increase, and problems, such as increase of power consumption and acceleration of device property degradation, will arise.

[0004] Moreover, the boron contained at the gate concerned at the time of gate electrode formation is SiO<sub>2</sub>. It runs through the film, a silicon substrate is reached, and the problem of degrading a semiconductor device property is also produced. As one approach of solving such a trouble, the nitride (SiN film) is examined as a gate-dielectric-film ingredient.

[0005] If this SiN film is formed with a CVD method, much imperfect association (dangling bond) will occur in an interface with a silicon substrate, and a device property will deteriorate. Therefore, by the SiN film formation concerned, it is thought that the approach of nitriding directly the silicon substrate which used the plasma is promising. The reason for nitriding directly is for obtaining the gate dielectric film of high quality with little interface state density.

[0006] Moreover, the reason using the plasma is for forming an SiN film at low temperature. If an SiN film is nitrided with heating, the elevated temperature more than 1000-degreeC is required, and when the dopant injected into the silicon substrate like this heat process carries out difference diffusion, a device property will deteriorate. Such an approach is indicated by JP,55-134937,A, JP,59-4059,A, etc.

[0007] However, since it is accelerated with plasma sheath potential and incidence of the ion in the plasma is carried out to a silicon substrate with high energy when forming an SiN film using the plasma, the so-called plasma damage occurs in a silicon substrate interface or a silicon substrate, and the problem that a device property arises is pointed out.

[0008] To this problem, electron temperature is low and microwave plasma equipment equipped with the flat antenna which has the slit of a majority of small plasma damages is reported.

[0009] (p. Ultra Clean technology Vol.10 Supplement 1, 32, 1998, Published by Ultra Clean Society).

[0010] If this plasma equipment is used, a plasma damage can be sharply reduced to the conventional plasma whose electron temperature is about 1eV or less and whose plasma sheath electrical potential difference is about 50V since a plasma sheath electrical potential difference also becomes several V less or equals.

[0011] However, in order to acquire a good interface with few joint defects by making oxygen unevenly distributed only in a silicon substrate interface in forming an SiN film by direct nitriding even when performing silicon nitriding treatment using this plasma equipment, there is a problem that the membraneous control by the interface with a silicon substrate is difficult.

[0012] Furthermore, in order that nitriding may progress when this plasma equipment is used, and a nitrogen atom is spread in a silicon substrate, there is a problem that a nitriding rate is slow, the time amount which performs predetermined processing to a processed object is long, there is little processing number of sheets of the processed object per unit time amount, and it cannot use industrially. For example, per throughput demanded from the point of mass-production manufacture, for example, a processed object, when forming a 4nm SiN film, even if it adjusts various plasma conditions, such as a pressure and microwave power, it takes about 5 minutes or more, and is much less than the desired value of the processing time of about 1 minute.

[0013]

[Problem(s) to be Solved by the Invention] This invention is made in order to solve the above-mentioned conventional trouble. Namely, this invention aims at offering the manufacture approach of a semi-conductor and manufacturing installation which can perform membraneous control by the interface of a silicon substrate and an SiN film with the sufficient result.

[0014] Moreover, this invention aims at offering the manufacture approach of a semi-conductor and manufacturing installation which can form the SiN film of high quality in a short time.

[0015]

[Means for Solving the Problem] For the above-mentioned purpose achievement, the semi-conductor manufacture approach of this invention By irradiating microwave under a raw gas ambient atmosphere through the flat antenna member which has two or more slits in the processed base which uses silicon as a principal component, oxygen, Or it is characterized by forming the plasma containing nitrogen or oxygen, and nitrogen, performing oxidation, nitriding, or acid nitriding to said processed base front face directly, and forming the insulator layer of thickness (silicon oxide conversion) 1nm or less in it using this plasma.

[0016] By the semi-conductor manufacture approach of this invention, since insulator layer thickness is 1nm or less, nitriding of a silicon substrate serves as the processes with the main process to which the nitrogen atom, oxygen atom or nitrogen atom generated by not diffusion but the plasma, and an oxygen atom react with a silicon substrate surface, and a short time for about 30 seconds can perform a nitriding rate.

[0017] Since the film production rate of 3 or more nm/min can attain comparatively easily when forming the remaining insulator layers with a CVD method on this direct nitriding or the thin film insulator layer which oxidized or nitrided [ acid ], the insulator layer of the thickness which is total 4nm can also be formed within 2 minutes.

[0018] Furthermore, by the semi-conductor manufacture approach of this invention, since the process which forms a good insulator layer in an interface with a silicon substrate by direct nitriding, oxidation, or acid nitriding, and the process which forms the remaining insulator layers with a CVD method on it can be performed independently, altogether, with direct nitriding or a CVD method, compared with the approach of forming an insulator layer, the membraneous controllability in a silicon substrate interface can improve, and a better insulator layer can be formed.

[0019] Setting to this semi-conductor manufacture approach, said raw gas is N<sub>2</sub>. Or N<sub>2</sub> O, NO, or NH<sub>3</sub> The included gas is mentioned. This raw gas may contain rare gas, such as an argon.

[0020] Other semi-conductor manufacture approaches of this invention silicon to moreover, the processed base used as a principal component under a raw gas ambient atmosphere By irradiating microwave through the flat antenna member which has two or more slits, oxygen, Or it is characterized by providing the process which forms the plasma containing nitrogen or oxygen, and nitrogen, performs oxidation, nitriding, or acid nitriding to said processed base front face directly, and forms the 1st insulator layer in it using this plasma, and the process which forms the 2nd insulator layer on said 1st insulator layer.

[0021] In the above-mentioned semi-conductor manufacture approach, the insulator layer which said 2nd insulator layer turns into from silicon nitride is mentioned.

[0022] The process which forms this 2nd insulator layer may be performed with a CVD method, and a plasma exposure may perform it.

[0023] Formation of this 2nd insulator layer is N<sub>2</sub>. Or NH<sub>3</sub> And the approach of forming by supplying the plasma containing a mono silane, a dichloro silane, or trichlorosilan is mentioned.

[0024] Since according to the semi-conductor manufacture approach of this invention the direct plasma is supplied on a silicon substrate by the approach using the so-called RLSA (Radial Line Slot Antenna) antenna of irradiating microwave through the flat antenna member which has two or more slits and a SiN

insulator layer is formed in the processed base which uses silicon as a principal component under a raw gas ambient atmosphere, membraneous control of the interface of a silicon substrate and the SiN insulator layer formed in the front face can be performed with the sufficient result.

[0025] Furthermore, according to other semi-conductor manufacture approaches of this invention, since the 1st insulator layer was formed upwards by the approach using the so-called RLSA antenna and the whole of the 2nd insulator layer is formed by low damage plasma exposure, the SiN film of high quality can be formed. When forming especially the 2nd insulator layer with a CVD method, film production in a short time is attained, and the SiN film of high quality can be formed in a short time.

[0026]

[Embodiment of the Invention] The gestalt of one operation of this invention is explained below.

[0027] About an example of the structure of the semiconductor device first manufactured by the semi-conductor manufacture approach of this invention, the semiconductor device equipped with gate dielectric film as an insulator layer is made into an example, and drawing 1 explains it.

[0028] As for a silicon substrate and 11, one in drawing is [ field oxide and 2 ] gate dielectric film, and 13 is ~~a gate electrode. It is formed in the 1st insulator layer 21 with a thickness of about 1nm and the top face~~ of the 1st insulator layer 21 which consist of a high insulator layer of quality formed in the interface with a silicon substrate 1 as this GUTO insulator layer 2 is shown in drawing 1 (b) by this invention having the description in gate dielectric film 2, for example, is constituted by the 2nd film 22 with a thickness of about 3nm.

[0029] In this example, the 1st high film 21 of quality silicon to the processed base used as a principal component under a raw gas ambient atmosphere By irradiating microwave through the flat antenna member which has two or more slits, oxygen, Or it consists of the 1st silicon acid nitride (henceforth the "SiON film") which formed the plasma containing nitrogen or oxygen, and nitrogen, and was formed in said processed base front face by performing oxidation, nitriding, or acid nitriding directly using this plasma.

[0030] Moreover, the 2nd film 22 with a larger membrane formation rate than the 1st film 21 is formed of the process which forms the 2nd insulator layer on said 1st insulator layer.

[0031] Next, the formation approach of such gate dielectric film 2 is explained.

[0032] Drawing 2 is the schematic diagram showing the whole semiconductor-fabrication-machines-and-equipment 30 configuration for enforcing the semi-conductor manufacture approach of this invention.

[0033] it is shown in drawing 2 -- as -- semiconductor fabrication machines and equipment 30 -- the conveyance room 31 is mostly arranged in the center, and the plasma treatment unit 32, the load lock units 34 and 35 of 33 or 2 CVD processing units, and the heating unit 36 are arranged so that the perimeter of this conveyance room 31 may be surrounded.

[0034] The reserve refrigeration unit 45 and the refrigeration unit 46 are arranged beside the load lock units 34 and 35, respectively.

[0035] The conveyance arms 37 and 38 are arranged in the interior of the conveyance room 31, and Wafer W is conveyed among said each units 32-36.

[0036] The loader arms 41 and 42 are arranged in the before [ a drawing metacarpus ] side of the load lock units 34 and 35. These loader arms 41 and 42 take Wafer W in and out among four sets of the cassettes 44 set on the cassette stage 43 further arranged in the near side.

[0037] In addition, the CVD processing unit 33 in drawing 2 is as exchangeable as the plasma treatment unit 32 and the plasma treatment unit of isomorphism, and may set two plasma treatment units.

[0038] Furthermore, both these plasma treatment unit 32 and the CVD processing unit 33 are as exchangeable as the single chamber mold plasma / CVD processing unit, and it is also possible to set one set or two sets of the single chamber mold plasma / CVD processing units to the location of the plasma treatment unit 32 or the CVD processing unit 33. They are [ the approach of CVD(ing) a plasma SiN film in the processing unit 33 after forming the direct SiON film in the processing unit 32, when the number of plasma treatment is two and ] direct SiON film formation and SiN to juxtaposition at the processing units 32 and 33. CVD film formation may be performed. Or it is SiN with another equipment after performing direct SiON film formation to juxtaposition in the processing units 32 and 33. CVD film formation can also be performed.

[0039] Drawing 3 is the vertical cross section of the plasma treatment unit 32 used for membrane formation of gate \*\*\*\*\* 2.

[0040] 50 is the vacuum housing formed of aluminum. The gas supply room 54 of the shape of a flat

cylindrical shape constituted with dielectrics, such as nitriding aluminum, so that the substrate 51, for example, larger opening than Wafer W, might be formed in the top face of this vacuum housing 50 and this opening 51 might be plugged up is formed. Many gas supply holes 55 are formed in the inferior surface of tongue of this gas supply room 54, and the gas introduced into the gas supply room 54 is supplied in the shape of a shower in a vacuum housing 50 through the gas supply hole 55 concerned.

[0041] The waveguide 63 connected to the microwave power supply section 61 which generates nothing, for example, 2.45GHz microwave, in the RF power supply section is formed in the outside of the gas supply room 54 through the radial line slot antenna (it is hereafter written as "RLSA".) 60 formed by the copper plate. Flat circular-waveguide 63A by which, as for this waveguide 63, the margo inferior was connected to RLSA60, Cylindrical shape waveguide 63B by which the end side was connected to the top face of this circular-waveguide 63A, An end side is connected to a right angle on the side face of coaxial guided wave converter 63C \*\*\*\*(ed) by the top face of this cylindrical shape waveguide 63B, and this coaxial guided wave converter 63C, and it is constituted combining rectangular waveguide 63D by which the other end side was connected to the microwave power supply section 61.

~~[0042] By this invention, it is called the RF field here including UHF and microwave, and high frequency~~ power supplied by the RF power supply section shall be made into 300MHz or more a thing 2500MHz or less including UHF 300MHz [ or more ] or microwave 1GHz or more, and shall call the RF plasma the plasma generated by such high-frequency power. the end side of the shank 62 which turns into the interior of said said cylindrical shape \*\*\*\*\* 63B from a conductive ingredient -- the top face of RLSA60 -- it is prepared in the shape of the same axle so that it may connect in the center mostly and an other end side may connect with the top face of cylindrical shape waveguide 63B, and thereby, the waveguide 63B concerned is constituted as a coaxial waveguide.

[0043] The gas supply line 72 is formed in the location of 16 places equally arranged, for example along that hoop direction on the side attachment wall by the side of the upper part of a vacuum housing 50, and the gas which contains rare gas and N from this gas supply line 72 is supplied equally without nonuniformity near the plasma field P of a vacuum housing 50.

[0044] Moreover, in the vacuum housing 50, the installation base 52 of Wafer W is formed so that it may counter with the gas supply room 54. The temperature control part which is not illustrated is built in this installation base 52, and, thereby, the installation base 52 concerned functions as a hot platen. Furthermore the end side of an exhaust pipe 53 is connected to the pars basilaris ossis occipitalis of a vacuum housing 50, and the other end side of this exhaust pipe 53 is connected to the vacuum pump 55.

[0045] Drawing 4 is a top view of RLSA60 used for the semiconductor fabrication machines and equipment of this invention.

[0046] As shown in drawing 4 , in this RLSA60, two or more slots 60a and 60a and -- are formed in the front face concentric circular. Each slot 60a is the slot which the abbreviation rectangle penetrated, and adjoining slots are arranged so that it may intersect perpendicularly mutually and the alphabetic character of "T" of the abbreviation alphabet may be formed. The die length and array spacing of slot 60a are determined according to the wavelength of the microwave generated from the microwave power supply section 61. Drawing 5 is the vertical cross section having shown typically the CVD processing unit 33 used for the semiconductor fabrication machines and equipment of this invention.

[0047] As shown in drawing 5 , the processing room 82 of the CVD processing unit 33 is formed in the structure in which an airtight is possible of aluminum etc. Although omitted in drawing 5 , in the processing room 82, it has the heating device and the cooler style.

[0048] The gas installation tubing 83 which introduces gas in the center of the upper part is connected to the processing room 82, and the inside of the processing room 82 and the gas installation tubing 83 is opened for free passage. Moreover, the gas installation tubing 83 is connected to the source 84 of gas supply. And gas is supplied to the gas installation tubing 83 from the source 84 of gas supply, and gas is introduced in the processing room 82 through the gas installation tubing 83. Various kinds of gas used as the raw material of thin film formation is used for this gas, and when required, inert gas is used as carrier gas.

[0049] The flueing tubing 85 which exhausts the gas in the processing room 82 is connected to the lower part of the processing room 82, and the flueing tubing 85 is connected to the exhaust air means which consists of a vacuum pump etc. and which is not illustrated. And the gas in the processing room 82 is exhausted from the flueing tubing 85 by this exhaust air means, and the inside of the processing room 82 is



set as the desired pressure.

[0050] Moreover, the installation base 87 in which Wafer W is laid is arranged at the lower part of the processing room 82.

[0051] With the gestalt of this operation, Wafer W is laid on the installation base 87 by the electrostatic chuck which Wafer W and a size of approximately the same diameter do not illustrate. The heat-source means which is not illustrated is installed inside this installation base 87, and it is formed in the structure where the processing side of the wafer W laid on the installation base 87 can be adjusted to desired temperature.

[0052] The magnitude of this installation base 87 is the magnitude which can lay the 300mm major-diameter wafer W, and has become the device in which the wafer W laid if needed can be rotated.

[0053] Thus, by building in the large-sized installation base 87, the 300mm major-diameter wafer W can be processed, and the high yield and the cheap manufacturing cost brought about as a result can be realized.

[0054] Opening 82a for taking Wafer W in and out of processing room 82 wall surfaces on the right-hand side of the installation base 87 is prepared among drawing 5, and closing motion of this opening 82a is ~~performed by moving a gate valve 98 to drawing Nakagami down. Among drawing 5, further, proximal [ of the conveyance arm (illustration abbreviation) of a gate valve 98 which conveys Wafer W in right-hand side ] is carried out, it goes in and out in the processing room 82 through opening 82a, and Wafer W is laid on the installation base 87, or a conveyance arm takes out the wafer W after processing from the processing room 82. Above the installation base 87, the shower head 88 as a shower member is arranged. This shower head 88 is formed so that the space between the installation base 87 and the gas installation tubing 83 may be divided, for example, it is made from aluminum etc.~~

[0055] The shower head 88 is formed so that gas outlet 83a of the gas installation tubing 83 may be located in the center of the upper part, and it is introduced in the shower head 88 with which the gas introduced in the processing room 82 was arranged in the processing room 82 as it was.

[0056] Next, how to form the insulator layer which consists of gate dielectric film 2 on Wafer W is explained using above-mentioned equipment.

[0057] Drawing 6 is the flow chart which showed the flow of each process of the approach of this invention.

[0058] First, field oxide 11 is formed in a wafer W front face at the process of the preceding paragraph.

[0059] Subsequently, the wafer W with which the gate valve (illustration abbreviation) prepared in the side attachment wall of a vacuum housing 50 was opened, and field oxide 11 was formed in said silicon substrate 1 front face of the conveyance arms 37 and 38 is laid on the installation base 52.

[0060] Then, after closing a gate valve and sealing the interior, an internal ambient atmosphere is exhausted through an exhaust pipe 53 with a vacuum pump 55, vacuum suction is carried out to a predetermined degree of vacuum, and it maintains to a predetermined pressure. On the other hand, it is 2.45GHz (3kW microwave is generated, this microwave is guided from waveguide 51 \*\*, it introduces in a vacuum housing 50 through RLSA60 and the gas supply room 54, and, thereby, the RF plasma is generated in the plasma field P by the side of the upper part in a vacuum housing 50.) from the microwave power supply section 56.

[0061] Microwave is transmitted in the condition that the inside of rectangular waveguide 63D was transmitted in rectangle mode, it was changed into the circular mode from rectangle mode in coaxial guided wave converter 63C, cylindrical shape coaxial waveguide 63B was transmitted in the circular mode, and it was able to extend in circular-waveguide 63A further, is emitted from slot 60a of RLSA60, penetrates the gas supply room 54, and is introduced into a vacuum housing 50 here. Under the present circumstances, since the plasma of high density occurs since microwave is used, and microwave is emitted from much slot 60a of RLSA60, the plasma will become high-density.

[0062] And Xe gas which is the 1st gas from a gas supply line 72 while adjusting the temperature of the installation base 52 and heating Wafer W at 400 degrees C and N2 Gas and H2 Gas and O2 Gas is introduced by the flow rate of 500sccm(s), 25sccm, 15sccm, and 1.0sccm, respectively, and the 1st process is carried out.

[0063] At this process, as the plasma style generated in the vacuum housing 3 is activated (plasma-izing) and this plasma shows the introduced gas to drawing 7 (a), the acid nitriding of the front face of a silicon substrate 1 is carried out, and the 1st insulator layer (SiON film) 21 is formed. In this way, this nitriding treatment is performed, for example for 30 seconds, and the 1st insulator layer (SiON film) 21 with a

thickness of 1nm is formed.

[0064] Next, open a gate valve, the conveyance arms 37 and 38 are made to advance into a vacuum housing 50, and the wafer W on the installation base 52 is received. After the conveyance arms 37 and 38 take out Wafer W from the plasma treatment unit 32, they are set to the installation base 87 in the adjoining CVD processing unit 33.

[0065] Subsequently, CVD processing is performed on Wafer W within this CVD processing unit 33, and the 2nd insulator layer is formed on the 1st insulator layer formed previously.

[0066] 400 degrees C and a process pressure within a vacuum housing 3 namely, for example, in the state of 50mTorr(s) – 1Torr [ wafer temperature ] (The gas 4, for example, SiH<sub>4</sub>, which contains Si from .84 of gas supply, i.e., a source, which introduces the 2nd gas in a container 82 and carries out the 2nd process While introducing gas by the flow rate of for example, 15sccm(s)) It is Xe gas and N<sub>2</sub> from the gas installation tubing 83. Gas is introduced by the flow rate of 500sccm(s) and 20sccm, respectively.

[0067] At this process, the 2nd introduced gas is deposited on Wafer W, and thickness increases comparatively for a short time. As shown in drawing 7 (b) in this way, the 2nd insulator layer (SiN film) 22 is ~~formed in the front face of the 1st insulator layer (SiON film) 21. Since a membrane formation rate is a part~~ for 4nm/, this SiN film 22 performs this membrane formation processing, for example for 30 seconds, and forms the 2nd insulator layer (SiN film) 22 with a thickness of 2nm. Thus, gate dielectric film 2 with a thickness of 4nm is formed in [ total ] 30 seconds.

[0068] At the 1st above-mentioned process, it faces forming the 1st insulator layer. Under a raw gas ambient atmosphere By irradiating microwave through the flat antenna member (RLSA) which has two or more slits to the wafer W which uses silicon as a principal component, oxygen, Or since the plasma containing nitrogen or oxygen, and nitrogen is formed, oxidation, nitriding, or acid nitriding is directly performed to said processed base front face and the insulator layer is formed in it using this plasma, quality is high and can perform membraneous control with the sufficient result.

[0069] That is, the quality of the 1st insulator layer is high as shown in drawing 8 .

[0070] As shown in drawing 8 , it became possible to secure interface state density with low thermal oxidation film and this level, and to reduce the thrust omission of the pressure resistance of gate dielectric film, and the boron in a gate electrode by the semi-conductor manufacture approach of this invention.

[0071] On the other hand, in the SiN film by direct nitriding and the CVD method, interface state density increased compared with the thermal oxidation film. In this case, distribution of the carrier in an interface becomes large and the drive current of a transistor falls.

[0072] Thus, the reason the quality of the 1st insulator layer formed by the above-mentioned approach becomes high is considered as follows.

[0073] That is, by the semi-conductor manufacture approach of this invention, both a nitrogen atom and an oxygen atom carry out termination of the association of a silicon atom to a silicon substrate interface efficiently, and a dangling bond decreases. moreover, the pressure resistance of gate dielectric film and boron — it receives running and the CVD-SiN film is acting effectively. Consequently, by the semi-conductor manufacture approach of this invention, the advantage of the direct acid nitriding SiON film and a CVD-SiN film can be used with the sufficient result.

[0074] On the other hand, when forming an interface only by SiN, the termination of a dangling bond is considered that were imperfect, for this reason interface state density increased.

[0075] Moreover, the 2nd insulator layer formed on said 1st insulator layer can be formed by performing the 2nd process of the above in a short time. Consequently, as shown below for forming the insulator layer 2 whole, it can finish in a short time.

[0076] For example, the RLSA plasma is used about formation of the first insulator layer SiON, and it is pressure 100mTorr, Xe and N<sub>2</sub>, H<sub>2</sub>, and O<sub>2</sub>. If a quantity of gas flow is respectively formed at 500sccm(s), 25sccm, 15sccm, and the 1sccm temperature C of 400 degrees, as shown in drawing 9 , the 1nm SiON film can be formed in about 30 seconds.

[0077] However, it needed for forming the 3nm SiON film on these conditions for 245 seconds. It is O<sub>2</sub> at this membrane formation rate. Even if it made the flow rate into zero, it hardly changed. On the other hand, at CVD, they are Xe, SiH<sub>4</sub>, and N<sub>2</sub>. In 500sccm(s), 15sccm, 20sccm, and the temperature C of 400 degrees, the membrane formation rate of 4.5 nm/min extent was respectively attained in the quantity of gas flow. Therefore, in 2nm thickness, it is less than about 30 seconds, and was formed. Consequently, by the semi-conductor manufacture approach of this invention, it is less than about 60 seconds of totals, and since a

3nm insulator layer can be formed, compared with direct nitriding, a membrane formation rate can be raised sharply.

[0078] moreover, the thickness change by membrane formation of the direct acid nitriding by the above-mentioned RLSA plasma is shown in drawing 1 - as -- about 1nm \*\*\*\*\* -- time amount -- it is proportional -- \*\*\*\* -- surface reaction -- it turns out that it is rate-limiting. However, if it becomes more than this, it will become a diffusion limitation and a membrane formation rate will fall gradually.

Therefore, by the semi-conductor manufacture approach of this invention, the 1nm SiON film was formed by direct acid nitriding, and the SiN film was formed with the CVD method after this.

[0079] (Example) An example is shown below.

[0080] By the semi-conductor manufacture approach of this invention, the 2nm SiON film was formed in the processing unit of 32 in drawing 2 using the RLSA plasma using equipment as shown in drawing 2 on n mold silicon substrate which performed isolation formation. The thickness of a total insulator layer is 3nm (oxide-film conversion thickness). About SiON membrane formation conditions, it is Xe/N<sub>2</sub> / H<sub>2</sub> / O<sub>2</sub>. Flow rate = in 500sccm/25sccm/15sccm/1sccm, the pressures were 100mTorr(s), microwave power was 2.0kW, and temperature was 400-degreeC.

[0081] About the formation conditions of a CVD-SiN film, it is Xe/SiH<sub>4</sub> / N<sub>2</sub>. Flow rate = the pressure was [ the temperature of 100mTorr(s) and microwave ] 400-degreeC in 25kW at 500sccm/15sccm/20sccm. Membrane formation time amount was 62 seconds, and the throughput attained h in 40 sheets /, and it has checked that it was industrially applicable enough level.

[0082] The result also with the homogeneity of thickness as good at three sigmas as 3% was obtained.

[0083] Succeedingly, the p mold poly-Si-gate was formed in gate-dielectric-film formation, and a gate leakage current and interface state density were measured to it. Consequently, gate leakage obtained the result with as good  $1.3 \times 10^{-6}$  A/cm<sup>2</sup> and interface state density as  $6.5 \times 10^{10}$  /cm<sup>2</sup> / eV to the impression electric field of 75 mV/cm. Furthermore, when p-MOSFET (L/W=0.25 / 10 micrometers) was formed and the ON state current was measured, the oxide film and the value more than comparable ( $5.5 \times 10^{-4}$  A/micrometer) were acquired.

[0084] As shown above, about 3nm good gate dielectric film was able to be industrially formed at sufficient membrane formation rate by the semi-conductor manufacture approach of this invention.

[0085]

[Effect of the Invention] Since according to this invention the direct plasma is supplied on a silicon substrate by the approach using the so-called RLSA antenna of irradiating microwave through the flat antenna member which has two or more slits and a SiN insulator layer is formed in the processed base which uses silicon as a principal component under a raw gas ambient atmosphere, membranous control of the interface of a silicon substrate and the SiN insulator layer formed in the front face can be performed with the sufficient result.

[0086] Furthermore, according to other semi-conductor manufacture approaches of this invention, since the 1st insulator layer was formed upwards by the approach using the so-called RLSA antenna and the 2nd insulator layer is formed, the SiN film of high quality can be formed. When forming especially the 2nd insulator layer with a CVD method, film production in a short time is attained, and the SiN film of high quality can be formed in a short time.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-294550

(P2000-294550A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl.	識別記号	F I	テームト* (参考)
H 0 1 L 21/316		H 0 1 L 21/316	A 4 G 0 7 7
C 3 0 B 29/40	5 0 2	C 3 0 B 29/40	5 0 2 H 5 F 0 4 0
H 0 1 L 21/31		H 0 1 L 21/31	C 5 F 0 4 5
21/318		21/318	C 5 F 0 5 8
			A

審査請求—未請求—請求項の数11—OL—(全11頁)—最終頁に続く

(21) 出願番号 特願平11-97831

(22) 出願日 平成11年4月5日 (1999. 4. 5)

(71) 出願人 000219967

東京エレクトロン株式会社

東京都港区赤坂5丁目3番6号

(72) 発明者 村川 恵美

東京都港区赤坂5丁目3番6号 東京エレクトロン株式会社内

(72) 発明者 本郷 俊明

山梨県韭崎市穂坂町三ツ沢650 東京エレクトロン株式会社総合研究所内

(74) 代理人 100077849

弁理士 須山 佐一

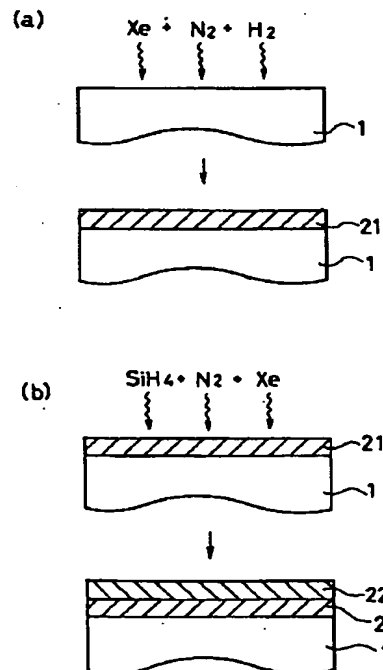
最終頁に続く

(54) 【発明の名称】 半導体製造方法及び半導体製造装置

(57) 【要約】

【課題】 シリコン基板とSiN膜との界面での膜質制御を首尾よく行うことができ、しかも、短時間で高品質のSiN膜を形成することのできる半導体の製造方法及び製造装置を提供する。

【解決手段】 処理ガス雰囲気下で、ケイ素を主成分とするウエハWに、複数のスリットを有する平面アンテナ部材RLSA60を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記ウエハW表面に直接に酸化、窒化、又は酸窒化を施して酸化膜相当換算膜厚で1nm以下の絶縁膜2を形成する。



## 【特許請求の範囲】

【請求項1】 処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して酸化膜相当換算膜厚で1nm以下の絶縁膜を形成することを特徴とする半導体製造方法。

【請求項2】 請求項1記載の半導体製造方法であって、前記処理ガスが、 $N_2$ 、又は $N_2$ 、O又はNO又は $NH_3$ を含むことを特徴とする半導体製造方法。

【請求項3】 処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、  
を具備することを特徴とする半導体製造方法。

【請求項4】 請求項3記載の半導体製造方法であって、前記第2の絶縁膜を形成する工程が、窒化ケイ素からなる絶縁層を形成する工程であることを特徴とする半導体製造方法。

【請求項5】 請求項3又は4記載の半導体製造方法であって、前記第2の絶縁膜を形成する工程が、CVD法により行われる工程であることを特徴とする半導体製造方法。

【請求項6】 請求項3又は4記載の半導体製造方法であって、前記第2の絶縁膜を形成する工程が、プラズマ照射により行われる工程であることを特徴とする半導体製造方法。

【請求項7】 請求項6記載の半導体製造方法であって、前記第2の絶縁膜を形成する工程が、 $N_2$ 、又は $NH_3$ 、及びモノシラン又はジクロルシラン又はトリクロルシランを含むプラズマを供給する工程であることを特徴とする半導体製造方法。

【請求項8】 請求項6記載の半導体製造方法であって、前記プラズマ照射が、複数のスリットを有する平面アンテナ部材を介して行われることを特徴とする半導体製造方法。

【請求項9】 請求項1記載の半導体製造方法を実施するための半導体製造装置であって、マイクロ波電源と、当該マイクロ波を導く装置と複数のスリットを有する平面アンテナ部材と、被処理基体の温度を $400^\circ C$ 以上に保持する昇温機構と、処理ガスを反応室に導くガス供給機構と、反応室を1 Torr以下に減圧する真空排気機構を有する一つ又はそれ以上のプロセスチャンバと、被処理基体を真空搬送する搬送系

と、  
を具備する事を特徴とする半導体製造装置。

【請求項10】 請求項9記載の半導体製造装置であって、ゲート絶縁膜を並列的に形成できるように、前記プロセスチャンバが、二つ又はそれ以上配設されていることを特徴とする半導体製造装置。

【請求項11】 請求項9記載の半導体製造装置であって、前記プロセスチャンバとは異なるCVDチャンバと、真空搬送系とを具備し、直接酸窒化に引き続いてCVDによりSiNを形成することを特徴とする半導体製造装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体の製造方法に係り、更に詳細には、MIS型半導体装置におけるゲート絶縁膜形成方法に関する。

【0002】

【従来の技術】最近、MIS型半導体デバイスの微細化に伴い、4nm程度以下の極めて薄いゲート絶縁膜が要求されている。従来、ゲート絶縁膜材料としては、 $850^\circ C \sim 1000^\circ C$ 程度の高温加熱炉を用いてシリコン基板の直接酸化によって得られるシリコン酸化膜(SiO<sub>2</sub>膜)が工業的に使用されてきた。

【0003】しかしながら、SiO<sub>2</sub>膜を4nm以下に薄くすると、このゲート絶縁膜を流れる漏れ電流(ゲートリーク電流)が多くなり、消費電力の増大やデバイス特性劣化の加速などの問題が生じる。

【0004】また、ゲート電極形成時に当該ゲートに含まれるホウ素がSiO<sub>2</sub>膜を突き抜けてシリコン基板に達し、半導体デバイス特性を劣化させるという問題も生じる。このような問題点を解決する一つの方法として、ゲート絶縁膜材料として窒化膜(SiN膜)が検討されている。

【0005】このSiN膜をCVD法によって形成すると、シリコン基板との界面に多数の不完全結合(ダングリングボンド)が発生してデバイス特性が劣化してしまう。そのため、当該SiN膜形成では、プラズマを用いたシリコン基板を直接窒化する方法が有望と考えられる。直接窒化を行う理由は、界面準位の少ない高品質のゲート絶縁膜を得るためである。

【0006】また、プラズマを用いる理由は、低温でSiN膜を形成するためである。SiN膜を加熱によって窒化すると $1000^\circ C$ 以上の高温が必要であり、この熱工程によりシリコン基板に注入されたドーパントが差異拡散することによってデバイス特性が劣化してしまう。このような方法は特開昭55-134937号公報や特開昭59-4059号公報などに開示されている。

【0007】しかしながら、プラズマを用いてSiN膜を形成する場合、プラズマ中のイオンがプラズマシース電位により加速されて高エネルギーでシリコン基板に入

射されるため、いわゆるプラズマダメージがシリコン基板界面或いはシリコン基板に発生し、デバイス特性が生じるという問題が指摘されている。

【0008】この問題に対し、電子温度が低く、プラズマダメージの小さい多数のスリットを有する平面アンテナを備えたマイクロ波プラズマ装置が報告されている。

【0009】(Ultra Clean technology Vol.10 Supplement 1, p.32, 1998, Published by Ultra Clean Society)。

【0010】このプラズマ装置を用いると、電子温度は1 eV程度以下であり、プラズマシース電圧も数V以下になるため、プラズマシース電圧が5.0 V程度の従来のプラズマに対して、プラズマダメージを大幅に低減できる。

【0011】しかし、このプラズマ装置を用いてシリコン窒化処理を行う場合でも、直接窒化によってSiN膜を形成する場合には、シリコン基板界面にのみ酸素を偏在させることにより結合欠陥の少ない良質な界面を得るためには、シリコン基板との界面での膜質制御が難しいという問題がある。

【0012】更に、このプラズマ装置を用いた場合、窒素原子がシリコン基板内に拡散することにより窒化が進むため、窒化速度が遅く、被処理体に所定の処理を施す時間が長く、単位時間あたりの被処理体の処理枚数が少なく、工業的に利用することができないという問題がある。例えば4 nmのSiN膜を形成する場合、圧力やマイクロ波パワーなどのプラズマ条件を種々調整しても5分程度以上かかり、量産製造の点から要求されるスループット、例えば被処理体一枚当たり1分程度という処理時間の目標値を大幅に下回る。

【0013】

【発明が解決しようとする課題】本発明は上記従来の問題点を解決するためになされたものである。即ち、本発明は、シリコン基板とSiN膜との界面での膜質制御を首尾よく行うことのできる半導体の製造方法及び製造装置を提供することを目的とする。

【0014】また、本発明は、短時間で高品質のSiN膜を形成することのできる半導体の製造方法及び製造装置を提供することを目的とする。

【0015】

【課題を解決するための手段】上記目的達成のため、本発明の半導体製造方法は、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して1 nm以下の膜厚(シリコン酸化膜換算)の絶縁膜を形成することを特徴とする。

【0016】本発明の半導体製造方法では、絶縁膜厚が

1 nm以下であるため、シリコン基板の窒化は拡散ではなくプラズマにより生成された窒素原子又は酸素原子又は窒素原子と酸素原子がシリコン基板表面と反応する工程が主な工程となり、窒化速度は30秒程度の短時間で行うことができる。

【0017】この直接窒化又は酸化又は酸窒化した薄膜絶縁膜上にCVD法により残りの絶縁膜を形成する場合、3 nm/min以上の製膜速度が比較的容易に達成できるため、トータル4 nmの膜厚の絶縁膜でも2分以内で形成できる。

【0018】更に本発明の半導体製造方法では、直接窒化又は酸化又は酸窒化によりシリコン基板との界面に良質な絶縁膜を形成する工程とその上にCVD法により残りの絶縁膜を形成する工程とを独立に行うことができるため、全て、直接窒化又はCVD法によって絶縁膜を形成する方法に比べてシリコン基板界面での膜質制御性が向上し、より良質な絶縁膜を形成することができる。

【0019】この半導体製造方法において、前記処理ガスは、例えば、N<sub>2</sub>、又はN<sub>2</sub>O又はNO又はNH<sub>3</sub>を含むガスが挙げられる。この処理ガスはアルゴンなどの希ガスを含んでも良い。

【0020】また、本発明の他の半導体製造方法は、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、を具備することを特徴とする。

【0021】上記半導体製造方法において、前記第2の絶縁膜は、例えば、窒化ケイ素からなる絶縁膜が挙げられる。

【0022】この第2の絶縁膜を形成する工程は、CVD法により行ってもよく、プラズマ照射により行ってもよい。

【0023】この第2の絶縁膜の形成は、例えば、N<sub>2</sub>、又はNH<sub>3</sub>、及びモノシラン又はジクロロシラン又はトリクロロシランを含むプラズマを供給することにより形成する方法が挙げられる。

【0024】本発明の半導体製造方法によれば、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射する、いわゆるRLSA(Radial Line Slot Antenna)アンテナを用いる方法でシリコン基板上に直接プラズマを供給してSiN絶縁膜を形成するので、シリコン基板とその表面に形成されるSiN絶縁膜との界面の膜質制御を首尾よく行うことができる。

【0025】更に、本発明の他の半導体製造方法によれば、いわゆるRLSAアンテナを用いた方法で第1の絶

縁膜を形成した上に第2の絶縁膜を全て低ダメージプラズマ照射により形成するので高品質のSiN膜を形成することができる。特に第2の絶縁膜をCVD法により形成する場合には短時間での製膜が可能となり、短時間で高品質のSiN膜を形成することができる。

【0026】

【発明の実施の形態】以下に本発明の一つの実施の形態について説明する。

【0027】まず本発明の半導体製造方法によって製造される半導体装置の構造の一例について、絶縁膜としてゲート絶縁膜を備えた半導体装置を例にして図1により説明する。

【0028】図中1はシリコン基板、11はフィールド酸化膜、2はゲート絶縁膜であり、13はゲート電極である。本発明はゲート絶縁膜2に特徴があり、このゲート絶縁膜2は、図1(b)に示すように、シリコン基板1との界面に形成された、品質の高い絶縁膜よりなる例えば1nm程度の厚さの第1の絶縁膜21と、第1の絶縁膜21の上面に形成され、例えば3nm程度の厚さの第2の膜22とにより構成されている。

【0029】この例では品質の高い第1の膜21は、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸窒化を施して形成された、第1のシリコン酸窒化膜（以下「SiON膜」という）よりなる。

【0030】また第1の膜21よりも成膜速度の大きい第2の膜22は、前記第1の絶縁膜上に第2の絶縁膜を形成する工程により形成されている。

【0031】次に、このようなゲート絶縁膜2の形成方法について説明する。

【0032】図2は本発明の半導体製造方法を実施するための半導体製造装置30の全体構成を示す概略図である。

【0033】図2に示すように半導体製造装置30のほぼ中央には搬送室31が配設されており、この搬送室31の周囲を取り囲むようにプラズマ処理ユニット32、CVD処理ユニット33、二機のロードロックユニット34及び35、加熱ユニット36が配設されている。

【0034】ロードロックユニット34、35の横には予備冷却ユニット45、冷却ユニット46がそれぞれ配設されている。

【0035】搬送室31の内部には搬送アーム37及び38が配設されており、前記各ユニット32～36との間でウエハWを搬送する。

【0036】ロードロックユニット34及び35の図中手前側にはローダーアーム41及び42が配設されている。これらのローダーアーム41及び42は、更にその

手前側に配設されたカセットステージ43上にセットされた4台のカセット44との間でウエハWを出し入れする。

【0037】なお、図2中のCVD処理ユニット33はプラズマ処理ユニット32と同型のプラズマ処理ユニットと交換可能であり、プラズマ処理ユニットを二基セットしてもよい。

【0038】更に、これらプラズマ処理ユニット32及びCVD処理ユニット33は、ともにシングルチャンバ型プラズマ/CVD処理ユニットと交換可能であり、プラズマ処理ユニット32やCVD処理ユニット33の位置に一基又は二基のシングルチャンバ型プラズマ/CVD処理ユニットをセットすることも可能である。プラズマ処理が二基の場合、処理ユニット32で直接SiON膜を形成した後、処理ユニット33でプラズマSiN膜をCVDする方法と、処理ユニット32及び33で並列に直接SiON膜形成とSiN CVD膜形成を行っても良い。或いは処理ユニット32及び33で並列に直接SiON膜形成を行った後、別の装置でSiN CVD膜形成を行うこともできる。

【0039】図3はゲート絶縁膜2の成膜に用いられるプラズマ処理ユニット32の垂直断面図である。

【0040】50は例えばアルミニウムにより形成された真空容器である。この真空容器50の上面には、基板例えばウエハWよりも大きい開口部51が形成されており、この開口部51を塞ぐように例えば窒化アルミ等の誘電体により構成された偏平な円筒形状のガス供給室54が設けられている。このガス供給室54の下面には多数のガス供給孔55が形成されており、ガス供給室54に導入されたガスが当該ガス供給孔55を介して真空容器50内にシャワー状に供給されるようになっている。

【0041】ガス供給室54の外側には、例えば銅板により形成されたラジアルラインスロットアンテナ（以下、「RLSA」と略記する。）60を介して、高周波電源部をなし、例えば2.45GHzのマイクロ波を発生するマイクロ波電源部61に接続された導波路63が設けられている。この導波路63はRLSA60に下縁が接続された偏平な円形導波管63Aと、この円形導波管63Aの上面に一端側が接続された円筒形導波管63Bと、この円筒形導波管63Bの上面に接続された同軸導波変換器63Cと、この同軸導波変換器63Cの側面に直角に一端側が接続され、他端側がマイクロ波電源部61に接続された矩形導波管63Dとを組み合わせで構成されている。

【0042】ここで本発明ではUHFとマイクロ波とを含めて高周波領域と呼んでおり、高周波電源部より供給される高周波電力は300MHz以上のUHFや1GHz以上のマイクロ波を含む、300MHz以上2500MHz以下のものとし、これらの高周波電力により発生されるプラズマを高周波プラズマと呼ぶものとする。前

記前記円筒形導波管63Bの内部には、導電性材料よりなる軸部62の、一端側がRLSA60の上面のほぼ中央に接続し、他端側が円筒形導波管63Bの上面に接続するように同軸状に設けられており、これにより当該導波管63Bは同軸導波管として構成されている。

【0043】真空容器50の上部側の側壁には例えばその周方向に沿って均等に配置した16か所の位置にガス供給管72が設けられており、このガス供給管72から希ガス及びNを含むガスが真空容器50のプラズマ領域P近傍にムラなく均等に供給されるようになっている。10

【0044】また真空容器50内には、ガス供給室54と対向するようにウエハWの載置台52が設けられている。この載置台52には図示しない温調部が内蔵されており、これにより当該載置台52は熱板として機能するようになっている。さらに真空容器50の底部には排気管53の一端側が接続されており、この排気管53の他端側は真空ポンプ55に接続されている。

【0045】図4は本発明の半導体製造装置に用いられるRLSA60の平面図である。

【0046】図4に示したように、このRLSA60では、表面に複数のスロット60a、60a、…が同心円状に形成されている。各スロット60aは略方形の貫通した溝であり、隣接するスロットどうしは互いに直交して略アルファベットの「T」の文字を形成するように配設されている。スロット60aの長さや配列間隔は、マイクロ波電源部61より発生したマイクロ波の波長に応じて決定されている。図5は本発明の半導体製造装置に用いられるCVD処理ユニット33を模式的に示した垂直断面図である。

【0047】図5に示すように、CVD処理ユニット33の処理室82は例えばアルミニウム等により気密可能な構造に形成されている。図5では省略したが、処理室82内には加熱機構や冷却機構を備えている。

【0048】処理室82には上部中央にガスを導入するガス導入管83が接続され、処理室82内とガス導入管83内とが連通されている。また、ガス導入管83はガス供給源84に接続されている。そして、ガス供給源84からガス導入管83にガスが供給され、ガス導入管83を介して処理室82内にガスが導入されている。このガスには、薄膜形成の原料となる各種のガスが用いられ、必要な場合には不活性ガスがキャリアガスとして用いられている。

【0049】処理室82の下部には、処理室82内のガスを排気するガス排気管85が接続され、ガス排気管85は真空ポンプ等からなる図示しない排気手段に接続されている。そして、この排気手段により処理室82内のガスがガス排気管85から排気され、処理室82内が所望の圧力に設定されている。

【0050】また、処理室82の下部には、ウエハWを載置する載置台87が配置されている。

【0051】本実施の形態では、ウエハWと略同径大の図示しない静電チャックによりウエハWが載置台87上に載置されている。この載置台87には図示しない熱源手段が内設されており、載置台87上に載置されたウエハWの処理面を所望の温度に調整できる構造に形成されている。

【0052】この載置台87の大きさは、300mmの大径ウエハWを載置できる大きさとなっており、必要に応じて載置したウエハWを回転できるような機構になっている。

【0053】このように大型の載置台87を内蔵することにより、300mmの大径ウエハWを処理することができ、高い歩留まりと、その結果もたらされる、廉価な製造コストを実現することができる。

【0054】図5中、載置台87の右側の処理室82壁面にはウエハWを出し入れするための開口部82aが設けられており、この開口部82aの開閉はゲートバルブ98を図中上下方向に移動することにより行われる。図5中、ゲートバルブ98の更に右側にはウエハWを搬送する搬送アーム（図示省略）が隣設されており、搬送アームが開口部82aを介して処理室82内に出入りして載置台87上にウエハWを載置したり、処理後のウエハWを処理室82から搬出するようになっている。載置台87の上方にはシャワー部材としてのシャワーヘッド88が配設されている。このシャワーヘッド88は載置台87とガス導入管83との間の空間を区画するように形成されており、例えばアルミニウム等から作られている。

【0055】シャワーヘッド88は、その上部中央にガス導入管83のガス出口83aが位置するように形成され、処理室82内に導入されたガスがそのまま処理室82内に配設されたシャワーヘッド88内に導入されている。

【0056】次に上述の装置を用いてウエハW上にゲート絶縁膜2よりなる絶縁膜を形成する方法について説明する。

【0057】図6は本発明の方法の各工程の流れを示したフローチャートである。

【0058】まず、前段の工程でウエハW表面にフィールド酸化膜11を形成する。

【0059】次いで真空容器50の側壁に設けたゲートバルブ（図示省略）を開いて搬送アーム37、38により、前記シリコン基板1表面にフィールド酸化膜11が形成されたウエハWを載置台52上に載置する。

【0060】続いてゲートバルブを閉じて内部を密閉した後、真空ポンプ55により排気管53を介して内部雰囲気は排気して所定の真空度まで真空引きし、所定の圧力に維持する。一方マイクロ波電源部56より例えば2.45GHz（3kWのマイクロ波を発生させ、このマイクロ波を導波路51により案内してRLSA60及び



ガス供給室54を介して真空容器50内に導入し、これにより真空容器50内の上部側のプラズマ領域Pにて高周波プラズマを発生させる。

【0061】ここでマイクロ波は矩形導波管63D内を矩形モードで伝送し、同軸導波変換器63Cにて矩形モードから円形モードに変換され、円形モードで円筒形同軸導波管63Bを伝送し、さらに円形導波管63Aにて拡げられた状態で伝送していき、RLSA60のスロット60aより放射され、ガス供給室54を透過して真空容器50に導入される。この際マイクロ波を用いているので高密度のプラズマが発生し、またマイクロ波をRLSA60の多数のスロット60aから放射しているの

でプラズマが高密度なものとなる。  
【0062】そして載置台52の温度を調節してウエハWを例えば400℃に加熱しながら、ガス供給管72より第1のガスであるXeガスと、N<sub>2</sub>ガスと、H<sub>2</sub>ガス及びO<sub>2</sub>ガスとを、夫々500sccm、25sccm、15sccm、1.0sccmの流量で導入して第1の工程を実施する。

【0063】この工程では、導入されたガスは真空容器3にて発生したプラズマ流により活性化（プラズマ化）され、このプラズマにより図7(a)に示すように、シリコン基板1の表面が酸化されて第1の絶縁膜（SiON膜）21が形成される。こうしてこの窒化処理を例えば30秒間行い、1nmの厚さの第1の絶縁膜（SiON膜）21を形成する。

【0064】次に、ゲートバルブを開き、真空容器50内に搬送アーム37、38を進入させ、載置台52上のウエハWを受け取る。搬送アーム37、38はウエハWをプラズマ処理ユニット32から取り出した後、隣接するCVD処理ユニット33内の載置台87にセットする。

【0065】次いでこのCVD処理ユニット33内でウエハW上にCVD処理が施され、先に形成された第1の絶縁膜上に第2の絶縁膜が形成される。

【0066】即ち、真空容器3内にて、ウエハ温度が例えば400℃、プロセス圧力が例えば50mTorr～1Torrの状態、容器82内に第2のガスを導入して第2の工程を実施する。つまりガス供給源84よりSiを含むガス例えばSiH<sub>4</sub>ガスを例えば15sccmの流量で導入すると共に、ガス導入管83よりXeガスと、N<sub>2</sub>ガスとを、夫々500sccm、20sccmの流量で導入する。

【0067】この工程では、導入された第2のガスはウエハW上に堆積し、比較的短時間で膜厚が増大する。かくして図7(b)に示すように、第1の絶縁膜（SiON膜）21の表面に第2の絶縁膜（SiN膜）22が形成される。このSiN膜22は成膜速度が例えば4nm/分であるので、この成膜処理を例えば30秒行い、2nmの厚さの第2の絶縁膜（SiN膜）22を形成す

る。このようにしてトータル30秒間で4nmの厚さのゲート絶縁膜2を形成する。

【0068】上述の第1の工程では、第1の絶縁膜を形成するに際し、処理ガス雰囲気下で、ケイ素を主成分とするウエハWに、複数のスリットを有する平面アンテナ部材（RLSA）を介してマイクロ波を照射することにより酸素、又は窒素、又は酸素と窒素とを含むプラズマを形成し、このプラズマを用いて前記被処理基体表面に直接に酸化、窒化、又は酸素窒化を施して絶縁膜を形成しているの

ので、品質が高く、かつ膜質制御を首尾よく行うことができる。

【0069】即ち、第1の絶縁膜の品質は図8に示すように高いものである。

【0070】図8に示すように、本発明の半導体製造方法により、熱酸化膜と同レベルの低い界面準位を確保し、かつ、ゲート絶縁膜の耐圧性とゲート電極中のボロンの突き抜けを低減することが可能となった。

【0071】これに対し、直接窒化及びCVD法によるSiN膜では界面準位が熱酸化膜に比べて増大した。この場合、界面でのキャリアの分散が大きくなり、トランジスタの駆動電流が低下する。

【0072】このように上述の方法により形成された第1の絶縁膜の品質が高くなる理由は次のように考えられる。

【0073】即ち、本発明の半導体製造方法では、シリコン基板界面に窒素原子と酸素原子との両方がシリコン原子の結合を効率的に終端し、ダングリングボンドが少なくなる。また、ゲート絶縁膜の耐圧性とボロンの突き抜けに対してはCVD-SiN膜が効果的に作用している。この結果、本発明の半導体製造方法では、直接酸素窒化SiON膜とCVD-SiN膜の長所を首尾良く利用することができる。

【0074】これに対して界面をSiNだけで形成する場合、ダングリングボンドの終端が不完全で、このために界面準位が増大したと考えられる。

【0075】また、上記第2の工程を行うことにより前記第1の絶縁膜上に形成される第2の絶縁膜は短時間で形成することができる。その結果、絶縁膜2全体を形成するには下記に示すように短時間で済ませることができる。

【0076】例えば、第一の絶縁膜SiONの形成について、RLSAプラズマを用いて圧力100mTorr、Xe、N<sub>2</sub>、H<sub>2</sub>、O<sub>2</sub>のガス流量を各々500sccm、25sccm、15sccm、1sccm温度400℃で成膜すると、図9に示したように、1nmのSiON膜を30秒程度で形成できる。

【0077】しかし、同条件で3nmのSiON膜を形成するには245秒必要とした。この成膜速度でO<sub>2</sub>流量をゼロにしてもほとんど変化しなかった。一方、CVDではXe、SiH<sub>4</sub>、N<sub>2</sub>ガス流量を各々500sc

cm、15 sccm、20 sccm、温度400°Cにおいて4.5 nm/min程度の成膜速度が達成された。従って、2 nmの膜厚では30秒程度以内で形成された。この結果、本発明の半導体製造方法ではトータル60秒程度以内で3 nmの絶縁膜を形成できるため、直接窒化法に比べて大幅に成膜速度を向上させることができる。

【0078】また、上記RLSAプラズマによる直接酸窒化の成膜による膜厚変化は図1に示すように1 nm程度までは時間に比例しており、表面反応律速であることが分かる。しかし、これ以上になると、拡散律速となり、成膜速度が徐々に低下する。従って、本発明の半導体製造方法では、直接酸窒化により1 nmのSiON膜を形成し、その後CVD法によりSiN膜を形成した。

【0079】(実施例)以下に実施例を示す。

【0080】本発明の半導体製造方法により、素子分離形成を行ったn型シリコン基板上に図2に示したような装置を用いてRLSAプラズマを用いて図2中32の処理ユニットで2 nmのSiON膜を形成した。合計の絶縁膜の膜厚は3 nm(酸化膜換算膜厚)である。SiON成膜条件については、Xe/N<sub>2</sub>/H<sub>2</sub>/O<sub>2</sub>流量=500 sccm/25 sccm/15 sccm/1 sccmで圧力は100 mTorr、マイクロ波パワーは2.0 KWで、温度は400°Cであった。

【0081】CVD-SiN膜の形成条件については、Xe/SiH<sub>4</sub>/N<sub>2</sub>流量=500 sccm/15 sccm/20 sccmで圧力は100 mTorr、マイクロ波は25 KWで温度は400°Cであった。成膜時間は62秒で、スループットは40枚/hを達成し、工業的に十分適用できるレベルである事を確認できた。

【0082】膜厚の均一性も3シグマで3%と良好な結果が得られた。

【0083】ゲート絶縁膜形成に引き続いて、p型poly-Si-ゲートを形成してゲートリーク電流と界面準位を測定した。この結果、75 mV/cmの印加電界に対してゲートリークは $1.3 \times 10^{-6}$  A/cm<sup>2</sup>、界面準位は $6.5 \times 10^{10}$  /cm<sup>2</sup> /eVと良好な結果を得た。更にp-MOSFET(L/W=0.25/10 μm)を形成してオン電流を計測したところ、酸化膜と同程度以上の値( $5.5 \times 10^{-4}$  A/μm)が得られた。

【0084】以上示したように、本発明の半導体製造方法により3 nm程度の良質なゲート絶縁膜を工業的に十分な成膜速度で形成することができた。

【0085】

【発明の効果】本発明によれば、処理ガス雰囲気下で、ケイ素を主成分とする被処理基体に、複数のスリットを有する平面アンテナ部材を介してマイクロ波を照射する、いわゆるRLSAアンテナを用いる方法でシリコン基板上に直接プラズマを供給してSiN絶縁膜を形成するので、シリコン基板とその表面に形成されるSiN絶縁膜との界面の膜質制御を首尾よく行うことができる。

【0086】更に、本発明の他の半導体製造方法によれば、いわゆるRLSAアンテナを用いた方法で第1の絶縁膜を形成した上に第2の絶縁膜を形成するので高品質のSiN膜を形成することができる。特に第2の絶縁膜をCVD法により形成する場合には短時間で製膜が可能となり、短時間で高品質のSiN膜を形成することができる。

【図面の簡単な説明】

【図1】本発明の半導体製造方法により製造される半導体装置の垂直断面図である。

【図2】本発明の半導体製造方法を実施するための半導体製造装置の概略図である。

【図3】本発明の半導体製造方法に用いるRLSAプラズマ処理ユニットの垂直断面図である。

【図4】本発明の半導体製造装置に用いるRLSAの平面図である。

【図5】本発明の半導体製造方法に用いるCVD処理ユニットの模式的垂直断面図である。

【図6】本発明の方法におけるゲート絶縁膜形成工程のフローチャートである。

【図7】本発明の方法によるゲート絶縁膜形成の詳細図である。

【図8】各種成膜条件とその成膜条件で得られるゲート絶縁膜の品質特性を比較した図である。

【図9】各種成膜方法における、成膜時間と膜厚との関係を示した図である。

【図10】本発明の半導体製造方法における成膜時間と膜厚との関係を示したグラフである。

【符号の説明】

W…ウエハ(被処理基体)

60…RLSA(平面アンテナ部材)

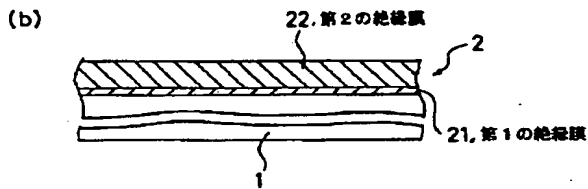
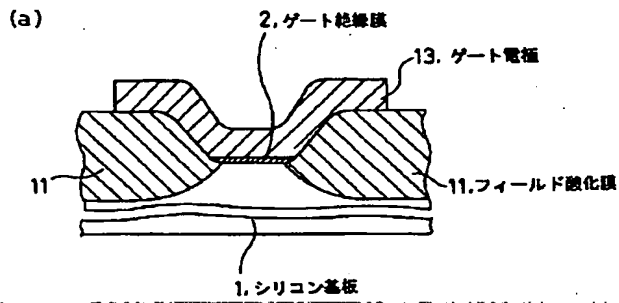
21…第一の絶縁膜

22…第二の絶縁膜

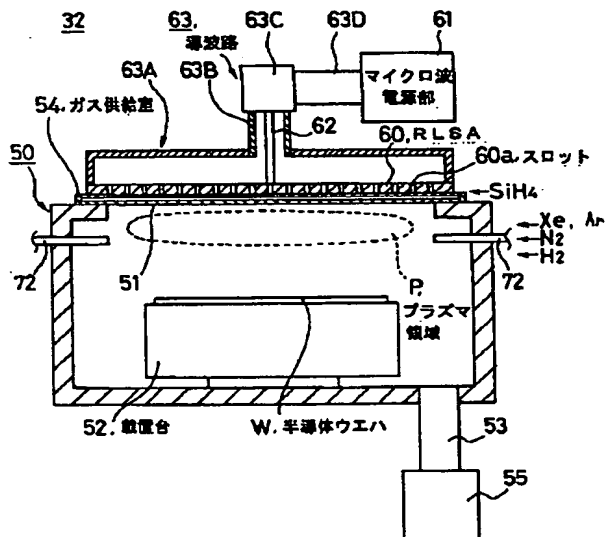
32…プラズマ処理ユニット(プロセスチャンバ)

33…CVD処理ユニット(プロセスチャンバ)

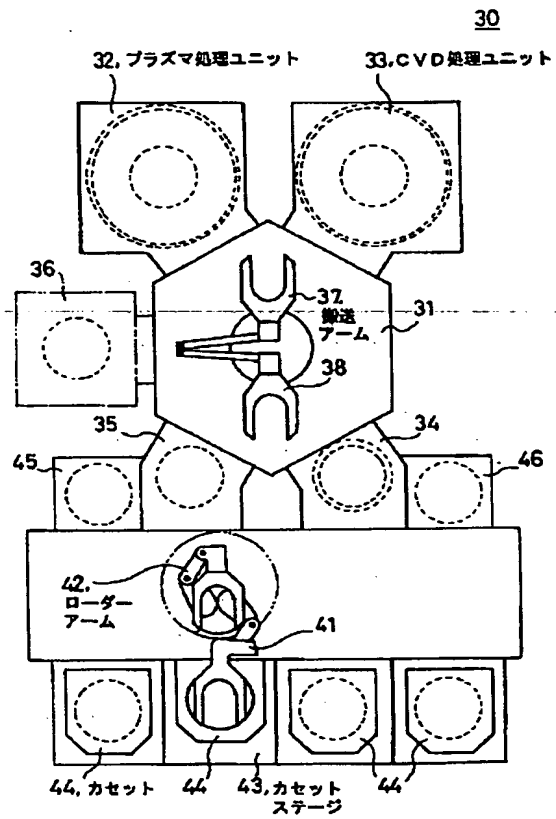
【図1】



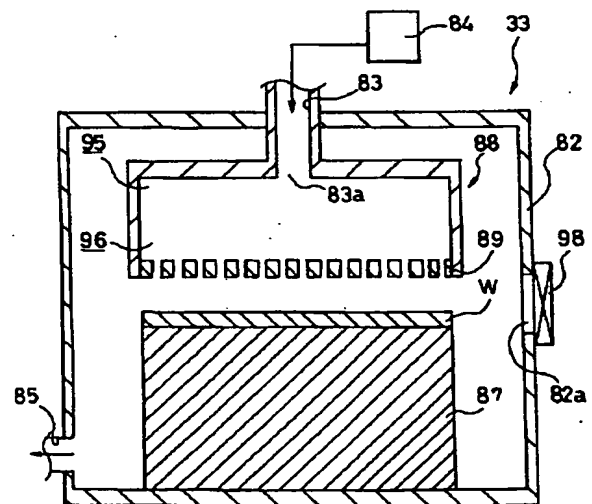
【図3】



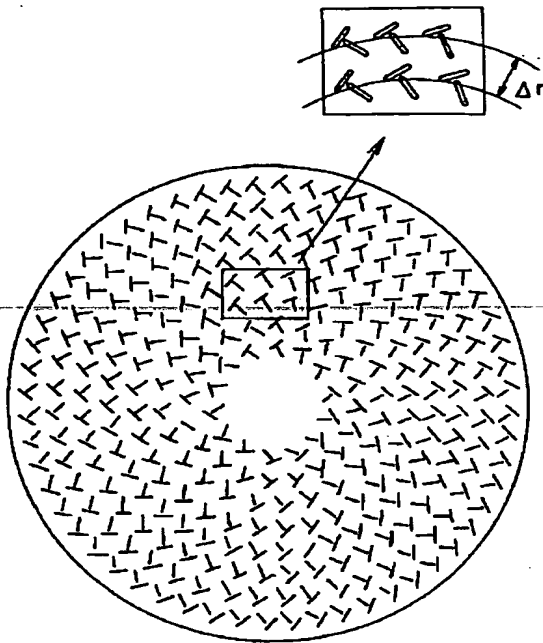
【図2】



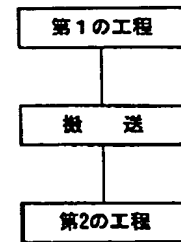
【図5】



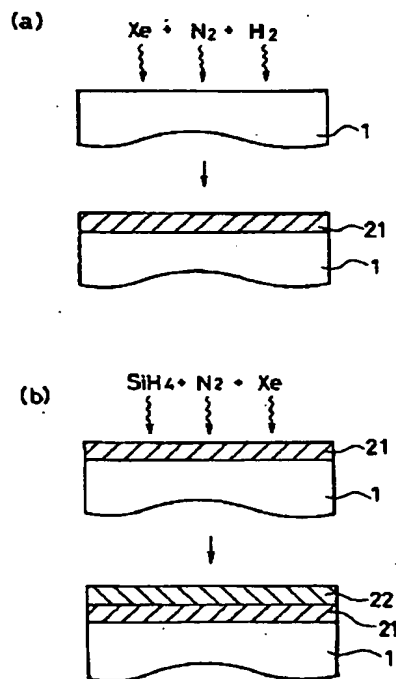
【図4】



【図6】



【図7】



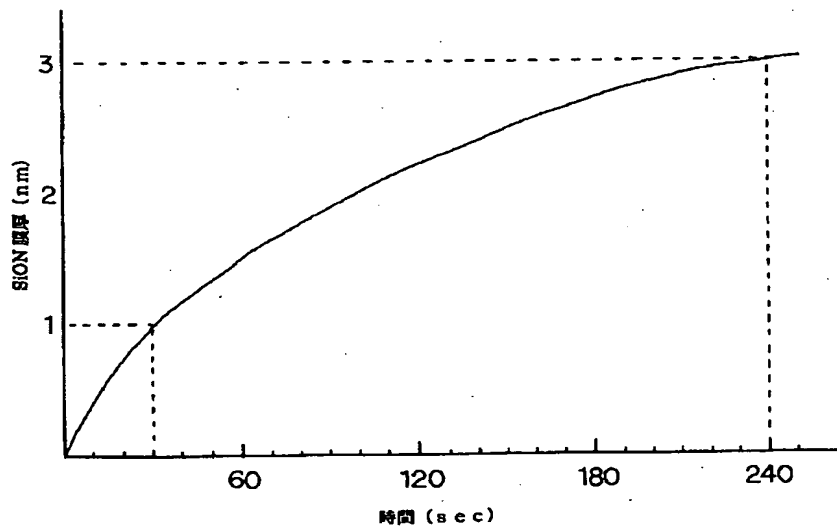
【図8】

	本発明方法 (SiN-CVD/SiON)	RLSAプラズマ 直接窒化膜	RLSAプラズマ CVD窒化膜	熱酸化膜
膜厚 (nm)	2/1	3	3	3
絶縁耐圧 (MV/cm)	17	17	15	12
ゲートリーク電流 ( $\text{A}/\text{cm}^2$ ) 7.5 MV/cm	$1 \times 10^{-6}$	$5 \times 10^{-5}$	$1 \times 10^{-5}$	$1 \times 10^{-3}$
界面単位 ( $\text{H}/\text{cm}^2/\text{eV}$ )	$6 \times 10^{10}$	$2 \times 10^{11}$	$5 \times 10^{11}$	$6 \times 10^{10}$
PMOS-FET (V) しきい値電圧変化 $\Delta V_{th} = V_{th}(\text{OFF}) - V_{th}(\text{ON})$	0	0	0	0.3

【図9】

	本発明方法 CVD-SiN/SiON	RLSAプラズマ 直接窒化方法	RLSAプラズマ CVD方法
膜厚 (nm)	2 / 1	3	3
時間 (sec)	30 / 30	245	46

【図10】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

H01L 29/78

識別記号

F I

H01L 29/78

テーマコード (参考)

301G

(72)発明者 川上 聡

山梨県韮崎市穂坂町三ッ沢650 東京エレ  
クトロン株式会社総合研究所内

(72)発明者 湯浅 光博

東京都港区赤坂5丁目3番6号 東京エレ  
クトロン株式会社内

Fターム(参考) 4G077 AA03 BB03 BE14 BE19 DB09

DB19

5F040 DC01 ED01 ED03 ED04 FC00

5F045 AA06 AA09 AB32 AB33 AB34

AC01 AC05 AC11 AC12 AD08

AE17 AE19 AE21 AF03 AF12

BB09 BB16 CA05 DC51 DP03

DQ17 EB08 EF05 EF08 EH02

EH03 EH04 EM05 EN04 HA25

5F058 BA01 BA20 BD01 BD10 BD15

BF04 BF08 BF23 BF29 BF30

BG01 BG04 BJ01 BJ10

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**